

Abstract of **CN 1381885 (A)**

An I/O port with high voltage tolerance and related electrostatic discharge protector circuit are disclosed. The said I/O port coupled to a connection pad of an IC is composed of a voltage divider circuit and a switch circuit, and the said voltage divider circuit coupled to the said connection pad to generate a reference voltage lower than the voltage of connection pad. The said switch circuit has a controlling grid. The said grid can reduce the stress of oxidized layer under grid, so allowing higher voltage.

I/O port with high voltage tolerance and electrostatic discharge protection circuit

Publication number: CN1381885

Publication date: 2002-11-27

Inventor: CHEN WEIFAN (CN); LI SHUJUAN (CN); YU DALI (CN)

Applicant: HUABANG ELECTRONIC CO LTD (CN)

Classification:

- International: *H01L23/00; H01L27/02; H01L23/00; H01L27/02; (IPC1-7): H01L23/00; H01L27/02*

- European:

Application number: CN20011010716 20010413

Priority number(s): CN20011010716 20010413

Also published as:



CN1252814C (C)

[Report a data error here](#)

Abstract of CN1381885

An I/O port with high voltage tolerance and related electrostatic discharge protector circuit are disclosed. The said I/O port coupled to a connection pad of an IC is composed of a voltage divider circuit and a switch circuit, and the said voltage divider circuit coupled to the said connection pad to generate a reference voltage lower than the voltage of connection pad. The said switch circuit has a controlling grid. The said grid can reduce the stress of oxidized layer under grid, so allowing higher voltage.

Data supplied from the **esp@cenet** database - Worldwide

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/00

H01L 27/02

[12] 发明专利申请公开说明书

[21] 申请号 01110716.2

[43] 公开日 2002 年 11 月 27 日

[11] 公开号 CN 1381885A

[22] 申请日 2001.4.13 [21] 申请号 01110716.2

[71] 申请人 华邦电子股份有限公司

地址 中国台湾

[72] 发明人 陈伟梵 李淑娟 俞大立 林锡聪

[74] 专利代理机构 北京纪凯知识产权代理有限公司

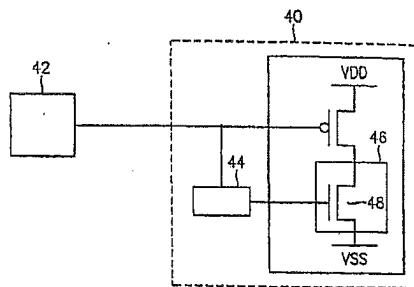
代理人 程伟

权利要求书 3 页 说明书 8 页 附图 8 页

[54] 发明名称 可容许高电压的输出/输入端口及静电放电保护电路

[57] 摘要

本发明提供一种可容许高电压的输出/输入端口以及相关静电放电保护电路。本发明的输出/输入端口耦合于一集成电路的一接合垫，包含有一分压电路以及一开关电路。分压电路耦合于该接合垫，且依据该接合垫上的电压以产生一较该接合垫上的电压小的参考电压。开关电路包含有一控制栅极，该控制栅极是依据该参考电压控制该开关电路的开关。因为分压电路始终提供一个较接合垫上的电压小的参考电压，所以开关电路的控制栅极便能减少对控制栅极下的栅氧化层的应力，因此，不会再有栅氧化层老化的问题。所以本发明的输出/输入端口可以容许较高的电压值。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种可容许高电压的输出入端口，耦合于一集成电路的一接合垫，其特征在于：包含有：
一分压电路，耦合于该接合垫，且依据该接合垫上的电压以产生一较该接合垫上的电压小的参考电压；以及
一开关电路，其包含有一控制栅极，该控制栅极是依据该参考电压控制该开关电路的开关。
2. 如权利要求 1 所述的输出/输入端口，其特征在于：该开关电路为一互补式金氧半晶体管的反向器，该反向器由一 p 型金氧半晶体管和一 n 型金氧半晶体管所构成，而该控制栅极为 n 型金氧半晶体管的栅极。
3. 如权利要求 1 所述的输出/输入端口，其特征在于：该分压电路所产生的参考电压不可超过该集成电路的使用电压值。
4. 如权利要求 1 所述的输出/输入端口，其特征在于：该分压电路是以多个二极管由该接合垫顺向串接至一电源端口所构成，而该参考电压为这些二极管中的一个串接点的电压。
5. 如权利要求 4 所述的输出/输入端口，其特征在于：每一二极管为一 pn 结二极管、金氧半二极管以及萧基二极管其中之一者。
6. 如权利要求 1 所述的输出/输入端口，其特征在于：该分压电路是以多个二极管由该接合垫顺向串接后，再经一电阻耦合至一电源端口所构成，而该参考电压为该多个二极管与该电阻的串接点电压。
7. 如权利要求 1 所述的输出/输入端口，其特征在于：该分压电路是以二电阻由该接合垫串接至一电源端口所构成，而该参考电压为该二电阻的串接点电压。
8. 如权利要求 1 所述的输出/输入端口，其特征在于：该分压电路是以多个二极管由该接合垫顺向串接后，再串接一电流源至一电源端口所构成，而该参考电压为这些二极管与该电流源的串接点电压。
9. 如权利要求 8 所述的输出/输入端口，其特征在于：该电流源为一金氧半晶体管，该金氧半晶体管的一源/漏极是连接于这些串接的二极管的一端，而该金氧半晶体管的另一源/漏极是连接于该电源端口，且该金氧半晶体管是偏压于次启始区域。

10. 如权利要求 1 所述的输出/输入端口，其特征在于：该分压电路是以二电容由该接合垫串接至一电源端口所构成，而该参考电压为该二电容中的串接点电压。
11. 如权利要求 10 所述的输出/输入端口，其特征在于：每一这些电容是以一逆向的二极管所构成。
12. 一种可容许高电压的静电放电保护电路，耦合于一集成电路的一接合垫，其特征在于：包含有：
一分压电路，耦合于该接合垫，且依据该接合垫上的电压以产生一较该接合垫上的电压小的参考电压；以及
一半导体控制整流器，耦合于该接合垫，其包含有一第一 n 型金氧半晶体管，该第一 n 型金氧半晶体管的栅极是依据该参考电压以触发该半导体控制整流器而达静电放电的目的。
13. 如权利要求 12 所述的静电放电保护电路，其特征在于：该半导体控制整流器包含有：
— p 型基底；
— n 型井区，设于该 p 型基底内，且形成一 pn 接口，其中该第一 n 型金氧半晶体管是设于该 p 型基底中，且该第一 n 型金氧半晶体管的一源/漏极是设于该 pn 接口上；
— p 型掺杂区，设于该 n 型井区内；
— n 型接触区，设于该 n 型井区内，该 n 型接触区与该 p 型掺杂区是耦合于该接合垫；
— n 型掺杂区，设于该 p 型基底内；
— p 型接触区，设于该 p 型基底内，该 p 型接触区与该 n 型掺杂区是耦合于一电源端口；以及
— 与该第一 n 型金氧半晶体管串接的第二 n 型金氧半晶体管，设于该 n 型掺杂区与该第一 n 型金氧半晶体管之间的 p 型基底表面，而该第二 n 型金氧半晶体管的栅极与一源/漏极是耦合于该 n 型掺杂区。
14. 如权利要求 12 所述的静电放电保护电路，其特征在于：该分压电路所产生的参考电压不可超过该集成电路的使用电压值。
15. 如权利要求 12 所述的静电放电保护电路，其特征在于：该分压电

路是以多个二极管由该接合垫顺向串接至一电源端口所构成，而该参考电压为这些二极管中的一个串接点的电压。

16. 如权利要求 15 所述的静电放电保护电路，其特征在于：每一二极管为一 pn 结二极管、金氧半二极管以及肖基二极管其中之一者。
17. 如权利要求 12 所述的静电放电保护电路，其特征在于：该分压电路是以多个二极管由该接合垫顺向串接后，再经一电阻耦合至一电源端口所构成，而该参考电压为该多个二极管与该电阻的串接点电压。
18. 如权利要求 12 所述的静电放电保护电路，其特征在于：该分压电路是以二电阻由该接合垫串接至一电源端口所构成，而该参考电压为该二电阻的串接点电压。
19. 如权利要求 12 所述的静电放电保护电路，其特征在于：该分压电路是以多个二极管由该接合垫顺向串接后，再串接一电流源至一电源端口所构成，而该参考电压为这些二极管与该电流源的串接点电压。
20. 如权利要求 19 所述的静电放电保护电路，其特征在于：该电流源为一金氧半晶体管，该金氧半晶体管的一源/漏极是连接于这些串接的二极管的一端，而该金氧半晶体管的另一源/漏极是连接于该电源端口，且该金氧半晶体管是偏压于次启始区域。
21. 如权利要求 12 所述的静电放电保护电路，其特征在于：该分压电路是以二电容由该接合垫串接至一电源端口所构成，而该参考电压为该二电容中的串接点电压。
22. 如权利要求 21 所述的静电放电保护电路，其特征在于：每一这些电容是以一逆向的二极管所构成。

可容许高电压的输出/输入端口及静电放电保护电路

本发明是有关于一种可容许高电压的输出/输入端口 (high voltage tolerance input/output port)，尤指一种可以容许输入电压大于集成电路的电源电压的输出入端口以及相关的静电放电保护电路。

随着半导体工艺的演进，半导体芯片上的特征尺寸 (feature size) 不断的减小，而且集成电路所使用的电源电压也跟着减小。但是，往往一个新的集成电路出现的时候，外在相关联的集成电路多是使用旧的半导体工艺，也就是使用较高的电源电压。因此，新的集成电路的输出入端口便必须设计的能够接受外界输入比较大的电压，才能够真正的用于现实的环境中。

请参阅第 1 图，第 1 图为一种现有的输出入端口的电路示意图。一种现有的输出/输入端口是使用两个钳位二极管 (clamping diode) 10、12 来钳位接合垫 (pad) 14 到内部电路 16 中的电压，使得内部电路 16 中所接受到的电压值不会超过电源 VDD 以及电源 VSS 的值。但是，如此的输出/输入端口遇到外界送入比电源 VDD 高的电压时，电源 VDD 会被强制的灌电 (charge up)，会造成内部电路的错误动作 (mis-fuction)，所以如第 1 图般的电路是不能当作一个可容许高电压的输出/输入端口。

请参阅第 2 图以及第 3 图，第 2 图为一种现有的输入端口加上两个半导体控制整流器的电路示意图，第 3 图为第 2 图中的半导体控制整流器的芯片剖面示意图。现有的输入端口除了会造成内部电路的错误动作外，还会造成栅氧化层老化 (gate oxide aging) 的问题。如第 2 图所示，一旦接合垫 14 上出现了高于电源 VDD 的稳定电压，这样的高电压便会出现于所有与接合垫 14 相连的接点，譬如说输入端口的 n 型金氧半晶体管 18 的栅极、以及两个半导体控制整流器 20 的一端。因为在半导体工艺的考虑上，n 型金氧半晶体管 18 的栅氧化层都只是设计来承受大约相当于电源 VDD 的电压值，所以一个高于电源 VDD 的稳定电压差出现在 n 型金氧半晶体管 18 的栅氧化层上便会促使栅氧化层

急速老化，结果便是 n 型金氧半晶体管 18 的栅氧化层(如 22 所标示的区域)的可靠性会有问题。相同的道理，半导体控制整流器中的 n 型金氧半晶体管 24，也会有一样的问题，如第 3 图所示。接合垫 14 的电压经过了 n 型井传导到 n 型金氧半晶体管 24 的一源/漏极 25，而 n 型金氧半晶体管 24 的栅极保持于电源 VSS 的电压值(即是接地)，所以一旦接合垫 14 的电压持续的保持在高电位，26 所标示的区域的栅氧化层便有老化的问题。

请参阅第 4 图，第 4 图为一种现有的可容许高电压的输出入端口。为了解决栅氧化层老化的问题，有许多种的方法都已经被发表过了，但是往往是必须增加工艺上的复杂性。如第 4 图所示，一种解决方法是在接合垫 14 和内部电路 30 间串接一个空乏式 n 型金氧半晶体管 32，用来阻挡接合垫 14 上高于电源 VDD 的电压到达内部电路 30 的栅极处，以防止栅氧化层老化。但是，如此的方法势必要在半导体工艺中多加一道掩膜以及相关的离子注入工艺，增加了工艺的成本。

有鉴于此，本发明的主要目的，在于提供一种可容许高电压的输出入端口以及静电放电保护电路。本发明的静电放电保护电路，用以释放接合垫上的静电应力。在不变更半导体工艺的条件下，经由电路的设计之后，输出/输入端口中的 n 型金氧半晶体管中的栅氧化层上的电压差不再会有大于电源 VDD 的情形，所以没有栅氧化层老化的问题。

本发明通过以下措施来达到：

一种可容许高电压的输出入端口，耦合于一集成电路的一接合垫，其包含有：

一分压电路，耦合于该接合垫，且依据该接合垫上的电压以产生一较该接合垫上的电压小的参考电压；以及
一开关电路，其包含有一控制栅极，该控制栅极是依据该参考电压控制该开关电路的开关。

一种可容许高电压的静电放电保护电路，耦合于一集成电路的一接合垫，其包含有：

一分压电路，耦合于该接合垫，且依据该接合垫上的电压以产生一

较该接合垫上的电压小的参考电压；以及

一半导体控制整流器，耦合于该接合垫，其包含有一第一 n 型金氧半晶体管，该第一 n 型金氧半晶体管的栅极是依据该参考电压以触发该半导体控制整流器而达静电放电的目的。

根据上述的目的，本发明提出一种可容许高电压的输出入端口，耦合于一集成电路的一接合垫。输出入端口包含有一分压电路以及一开关电路。分压电路耦合于接合垫上，且依据接合垫上的电压以产生一较接合垫上的电压小的参考电压。开关电路包含有一控制栅极，控制栅极是依据参考电压控制该开关电路的开关。

本发明另提供一静电放电保护电路，用以释放接合垫上的静电应力。静电放电保护电路耦合到一内部电路以及一接合垫。静电放电保护电路包含了一分压电路以及一半导体控制整流器。分压电路耦合于接合垫，且依据接合垫上的电压以产生一较接合垫上的电压小的参考电压。半导体控制整流器耦合于接合垫，包含有一第一 n 型金氧半晶体管。第一 n 型金氧半晶体管的栅极是依据参考电压以触发半导体控制整流器 54 而达静电放电的目的。

半导体整流器的结构包含有一 p 型基底、一 n 型井区、一 p 型掺杂区、一 n 型接触区、一 n 型掺杂区、一 p 型接触区、一第二 n 型金氧半晶体管以及第一 n 型金氧半晶体管。n 型井区设于 p 型基底内，且形成一 pn 接口。第一 n 型金氧半晶体管设于 p 型基底中，且第一 n 型金氧半晶体管的一源/漏极是设于 pn 接口上。p 型掺杂区与 n 型接触区均设于 n 型井区内，并且共同耦合于接合垫。n 型掺杂区与 p 型接触区设于 p 型基底内，并且共同耦合于一电源端口。第二 n 型金氧半晶体管与第一 n 型金氧半晶体管串接，并且设于 n 型掺杂区与第一 n 型金氧半晶体管之间的 p 型基底表面。其中第二 n 型金氧半晶体管的栅极与一源/漏极是耦合于 n 型掺杂区。

本发明亦提供了许多种方法来实施本发明中的分压电路，主要的概念是使得分压电路所产生的参考电压不超过集成电路的使用电压值，防止栅氧化层老化的问题。分压电路可以是以多个二极管由接合垫顺向串接至一电源端口所构成，而参考电压就是由二极管中的一个

串接点所拉出的电压值。分压电路可以用二电阻串联所构成，而参考电压就是二电阻的串接点电压。一样的道理，分压电路可以是多个二极管与至少一电阻混成串接而成，其中的一个串接点电压即是参考电压。

本发明中的每一二极管可以为一pn结二极管、金氧半二极管以及肖基二极管其中之一者。

相较于现有的输出/输入端口，本发明的优点在于不需要变更半导体工艺的情况下，经由电路上的设计，便可以容许接合垫出现较使用集成电路所使用的电压高的电压。因为分压电路始终提供一个小于接合垫上的电压小的参考电压，所以开关电路的控制栅极便能减少对控制栅极下的栅氧化层的应力，因此，不会再有栅氧化层老化的问题。而且，本发明提供的静电放电保护电路，可以释放接合垫上的静电应力。

为使本发明的上述目的、特征和优点能更明显易懂，下文特举一较佳实施例，并配合所附图式，作详细说明如下：

第1图为一种现有的输出入端口的电路示意图；

第2图为一种现有的输入端口加上两个半导体控制整流器的电路示意图；

第3图为第2图中的半导体控制整流器的芯片剖面示意图；

第4图为一种现有的可容许高电压的输出入端口；

第5图为依据本发明的输出/输入端口示意图；

第6图为本发明的静电放电保护电路的电路示意图；

第7图为第6图的静电放电保护电路的芯片剖面图；

第8a图为第8h图为第7图中的分压电路的各种实施例示意图。

符号说明：

40	输出/输入端口	42	接合垫
44	分压电路	46	开关电路
47	静电放电保护电路	48	n型金氧半晶体管
50	内部电路	52	第一n型金氧半晶体管
54	半导体整流器	60	p型基底

62	n 型井区	64	p 型掺杂区
66	n 型接触区	68	n 型掺杂区
70	p 型接触区	72	第二 n 型金氧半晶体管
74	VSS 电源端口	80	二极管
82	电阻	84	电流源
86	电容		

请参阅第 5 图, 第 5 图为依据本发明的输出/输入端口示意图。本发明提出一种可容许高电压的输出入端口 40, 耦合于一集成电路的一接合垫 42。输出入端口 40 包含有一分压电路 44 以及一开关电路 46。分压电路 44 耦合于接合垫 42 上, 且依据接合垫 42 上的电压以产生一较接合垫 42 上的电压小的参考电压。开关电路 46 包含有一控制栅极, 譬如第 5 图上的 n 型金氧半晶体管 48 的栅极, 控制栅极是依据参考电压控制开关电路 46 的开关。

譬如说, 开关电路 46 可以是一个输入端口的互补式金氧半晶体管的反向器, 反向器由 p 型金氧半晶体管和 n 型金氧半晶体管所构成, 此时, 控制栅极就是 n 型金氧半晶体管的栅极。因为参考电压比接合垫上的电压小, 所以 n 型金氧半晶体管的栅极下的栅氧化层不会有老化的问题。

请参阅第 6 图, 第 6 图为本发明的静电放电保护电路的电路示意图。本发明也可用于一静电放电保护电路 47, 用以释放接合垫 42 上的静电应力。如第 6 图所示, 静电放电保护电路 47 耦合到一内部电路 50 以及一接合垫 42。静电放电保护电路 47 包含了一分压电路 44 以及一半导体控制整流器 54。分压电路 44 耦合于接合垫 42, 且依据接合垫 42 电压以产生一较接合垫 42 上的电压小的参考电压。半导体控制整流器 54 耦合于接合垫 42, 包含有一第一 n 型金氧半晶体管 52。第一 n 型金氧半晶体管 52 的栅极是依据参考电压以触发半导体控制整流器 54 而达静电放电的目的。

请参阅第 7 图, 第 7 图为第 6 图的静电放电保护电路的芯片剖面图。半导体整流器的结构包含有一 p 型基底 60、一 n 型井区 62、一 p 型掺杂区 64、一 n 型接触区 66、一 n 型掺杂区 68、一 p 型接触区 70、

一第二 n 型金氧半晶体管 72 以及第一 n 型金氧半晶体管 52。n 型井区 62 设于 p 型基底 60 内，且形成一 pn 接口。第一 n 型金氧半晶体管 52 设于 p 型基底 60 中，且第一 n 型金氧半晶体管 52 的一源/漏极是设于 pn 接口上。p 型掺杂区 64 与 n 型接触区 66 均设于 n 型井区 62 内，并且共同耦合于接合垫 42。n 型掺杂区 68 与 p 型接触区 70 设于 p 型基底 60 内，并且共同耦合于一电源端口，如第 6 图中的 VSS 电源端口 74。第二 n 型金氧半晶体管 72 与第一 n 型金氧半晶体管 52 串接，并且设于 n 型掺杂区 68 与第一 n 型金氧半晶体管 52 之间的 p 型基底 60 表面。第二 n 型金氧半晶体管 72 的栅极与一源/漏极是耦合于 n 型掺杂区 68。

本发明亦提供了许多种方法来实施本发明中的分压电路 44，主要的概念是使得分压电路 44 所产生的参考电压不超过集成电路的使用电压值，如 VDD 电源端口上的电压值，以防止栅氧化层老化的问题。

请参阅第 8a 图，第 8a 图为第 7 图中分压电路以二极管构成时的示意图。分压电路 44 可以是以多个二极管 80 由接合垫 42 顺向串接至一电源端口(如图中的 VSS 电源端口 74)所构成。参考电压就是由二极管 80 中的一个串接点所拉出的电压值。一个二极管 80 大约可以提供 0.7 伏特的电压降，如果接合垫 42 到第一 n 型金氧半晶体管 52 的栅极间有 N 个二极管 80，则第一 n 型金氧半晶体管 52 的栅极所受到的参考电压至少会比接合垫 42 上的电压少 N*0.7 伏特的电压值。

请参阅第 8b 图，第 8b 图为第 7 图中分压电路以二极管与电阻构成时的示意图。分压电路 44 是以多个二极管 80 由接合垫 42 顺向串接后，再经一电阻 82 耦合至 VSS 电源端口 74 所构成，而参考电压为多个二极管 80 与电阻 82 的串接点电压。

请参阅第 8c 图，第 8c 图为第 7 图中分压电路以电阻构成时的示意图。分压电路 44 可以用二电阻 82 串联至 VSS 电源端口 74 所构成，而参考电压就是二电阻 82 的串接点电压。一样的道理，分压电路 44 可以是多个二极管与至少一电阻混成串接而成，其中的一个串接点电压即是参考电压。

本发明中的每一二极管可以为一 pn 结二极管、金氧半二极管以及肖基二极管其中之一者，只要依照设计者的需求而选择即可。

请参阅第 8d 图，第 8d 图为第 7 图中分压电路以多个二极管以及

一电流源构成时的示意图。分压电路 44 可以用多个二极管 80 由接合垫 42 向串接后，再串接一电流源 84 至 VSS 电源端口 74 所构成，而参考电压为二极管 80 与电流源 84 的串接点电压。

电流源 84 可以为一金氧半晶体管，如第 8e 图中的 n 型金氧半晶体管 84a 以及第 8f 图的 p 型金氧半晶体管 84b。金氧半晶体管的一源/漏极是连接于串接的二极管的一端，而金氧半晶体管的另一源/漏极是连接于 VSS 电源端口 74。金氧半晶体管偏压于次启始区域，也就是金氧半晶体管是处于关闭状态。如第 8e 图中的 n 型金氧半晶体管 84a 的栅极就接于 VSS 电源端口 74，而第 8f 图的 p 型金氧半晶体管 84b 的栅极就接于 VDD 电源端口。

请参阅第 8g 图，第 8g 图为第 7 图中分压电路以二电容构成时的示意图。分压电路 44 是以二电容 86 由接合垫 42 串接至一 VSS 电源端口 74 所构成。参考电压即为二电容 86 中的串接点电压。如果一个电容 86 的电容值是 M，而另一个电容 86 的电容值是 N，则参考电压可由电容的分压计算得知，为接合垫 42 上的电压乘以 $M/(M+N)$ ，因此可以依照需求而设计。

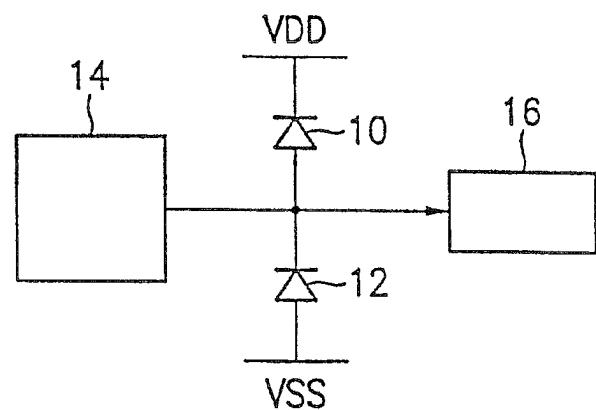
为了得到一个较大的电容值，以防止一些寄生电容的干扰，所以每一电容 86 可以用一逆向的二极管 80 所构成，如第 8h 图所示。二极管 80 可以用一个井区和其中的一个反向参杂区所构成，譬如 n 型井和其中的 p 型参杂区，如此电容值会较大且易于控制。

本发明的输出/输入端口使用一个分压电路 44 将接合垫 42 上的电压做分压的动作，然后提供一个比接合垫 42 上的电压小的参考电压到开关电路 46 上，来控制开关电路 46 的开关。所以，如果当外在电路提供一个较集成电路所使用的电压源高的电压时，开关电路 46 便不会受到过高的电压的伤害，而有栅氧化层老化的问题。当开关电路 46 是一静电放电保护电路时，本发明的输出/输入端口也可以防止静电放电保护电路中负责触发的 n 型金氧半晶体管的栅氧化层问题，而且达到静电放电的目的。本发明同时提出了许多的实施方法，可以制作出分压电路 44，达到分压的目的。

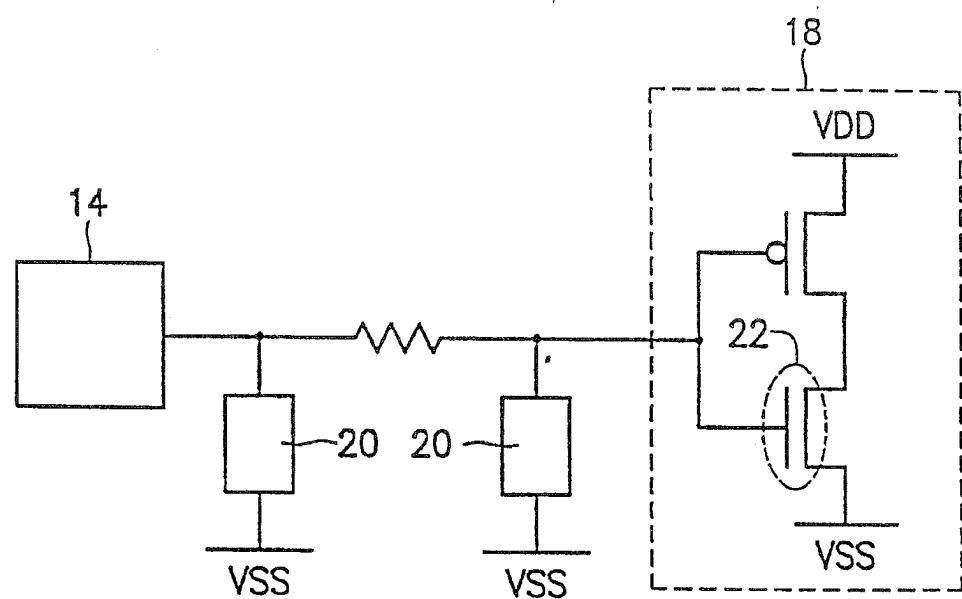
相较于现有的输出/输入端口，本发明的优点在于不需要变更半导体工艺的情况下，经由电路上的设计，便可以容许接合垫出现较使用

集成电路所使用的电压高的电压。因为分压电路始终提供一个小于接合垫上的电压小的参考电压，所以开关电路的控制栅极便能减少对控制栅极下的栅氧化层的应力，因此，不会再有栅氧化层老化的问题。

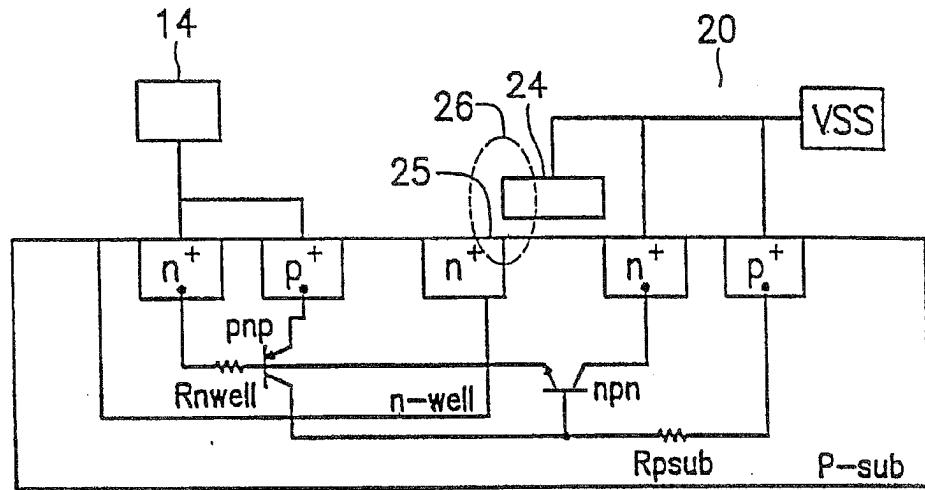
本发明虽以一较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此项技艺者，在不脱离本发明的精神和范围内，当可做些许的更动与润饰，因此本发明的保护范围当视本发明权利要求并结合说明书和附图为准。



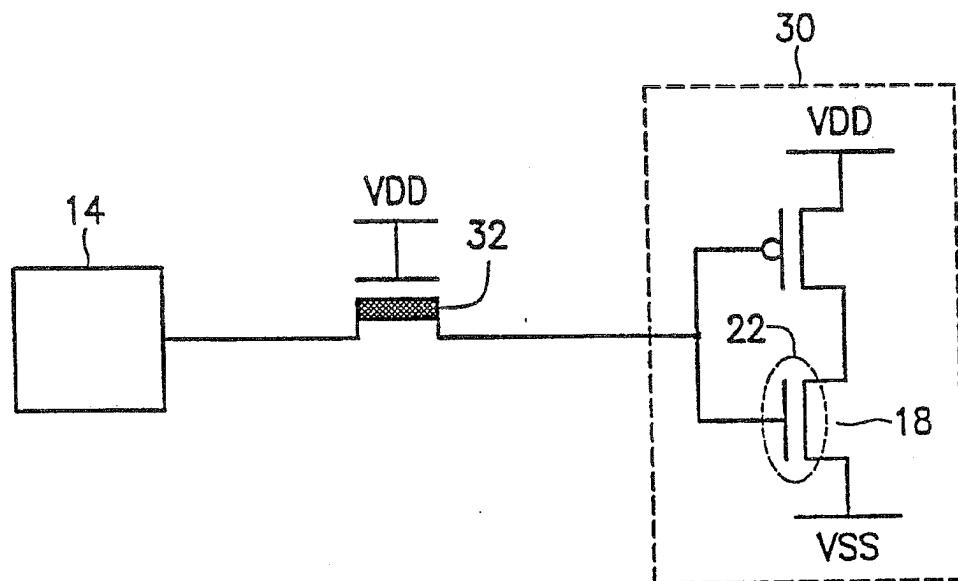
第 1 图



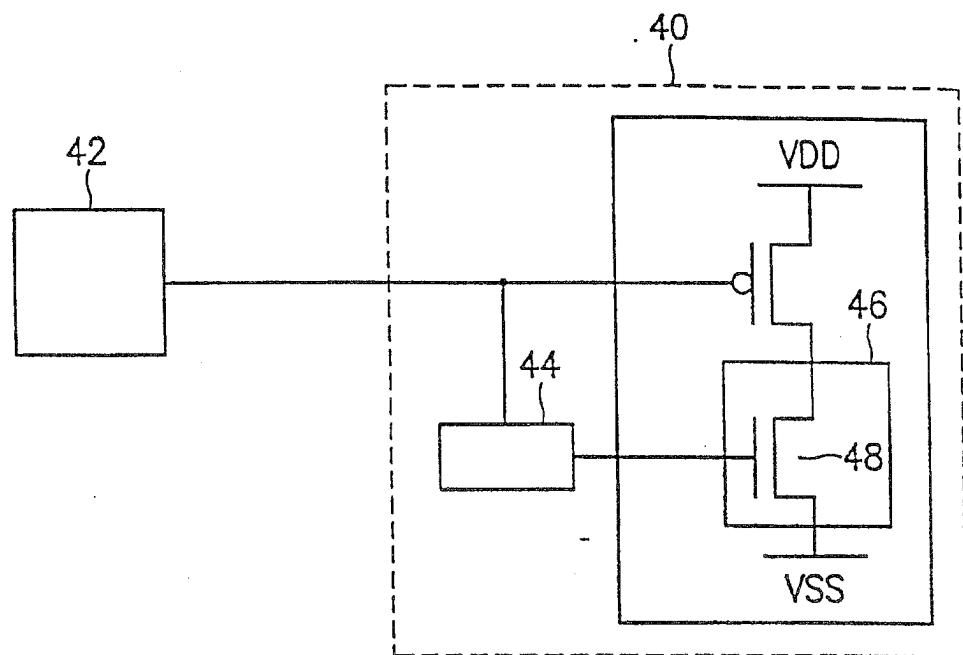
第 2 图



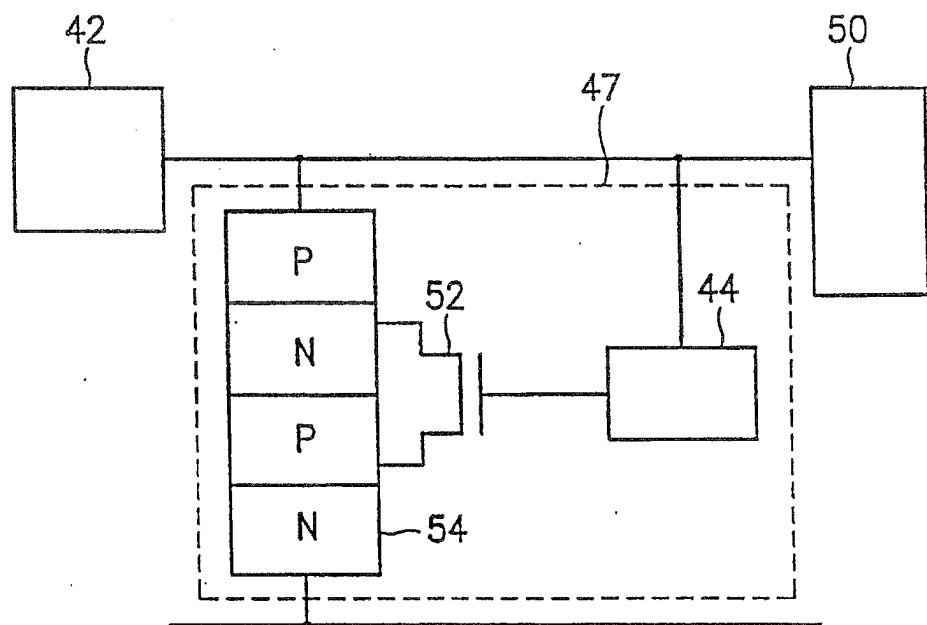
第 3 图



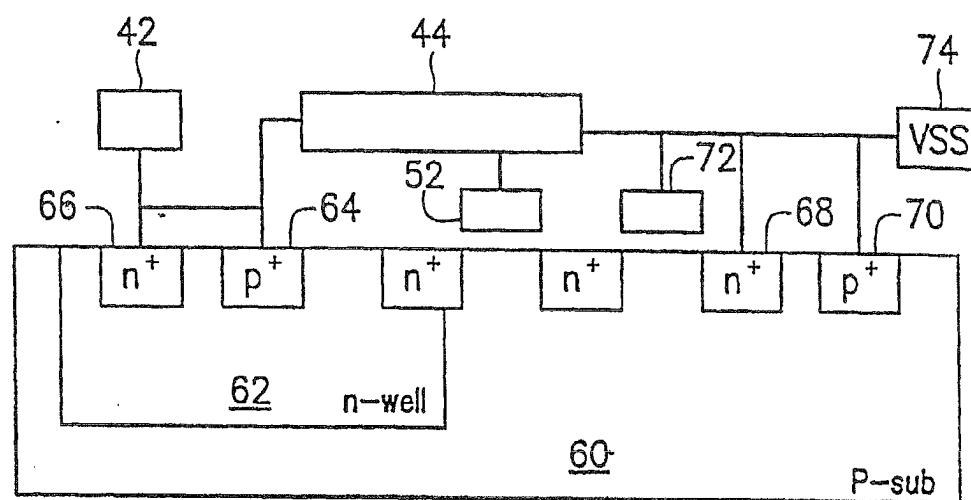
第 4 图



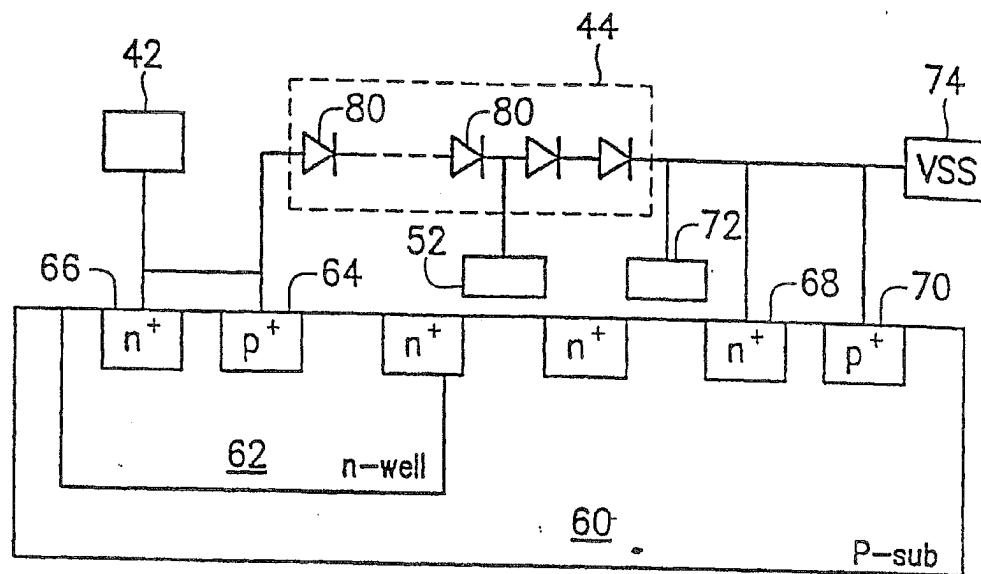
第 5 图



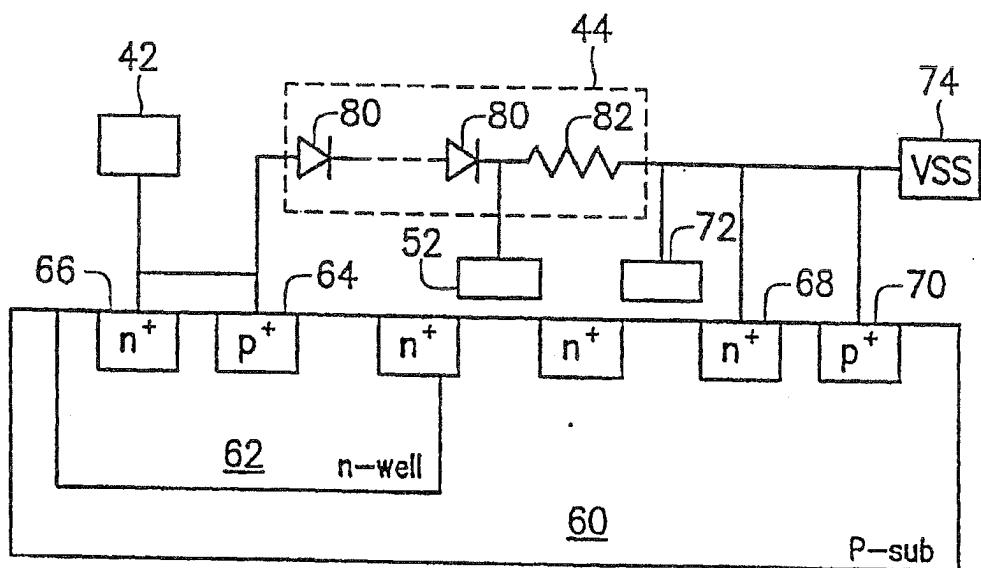
第 6 图



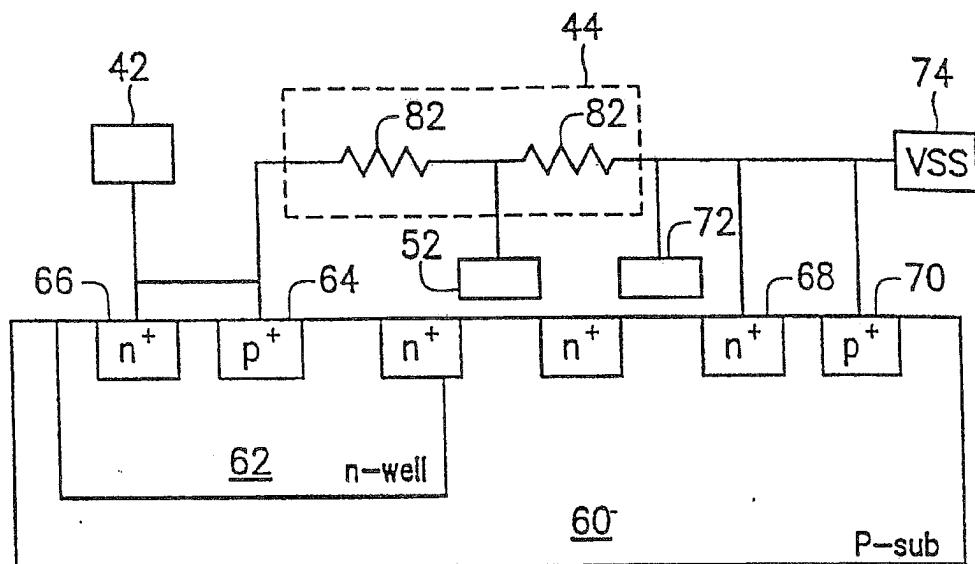
第 7 图



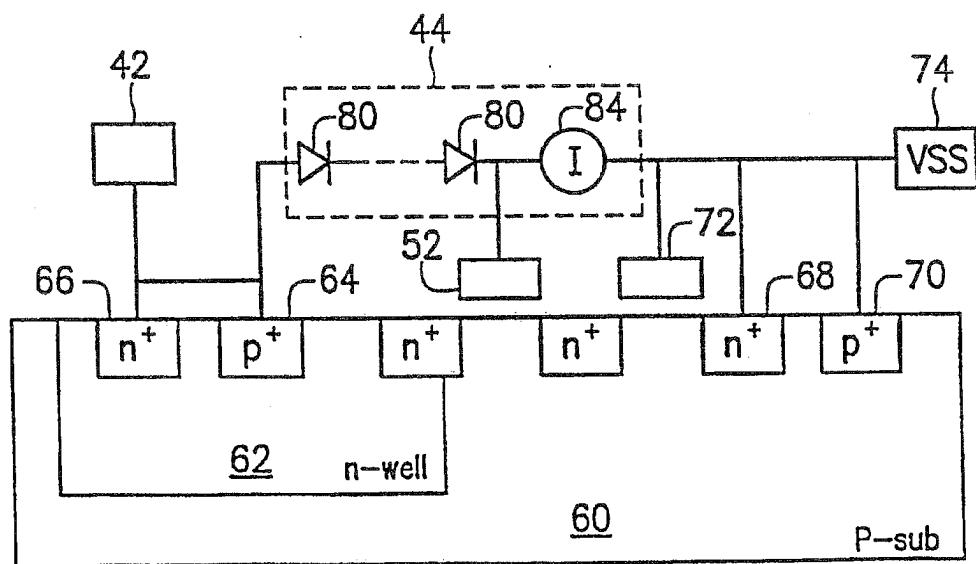
第 8a 图



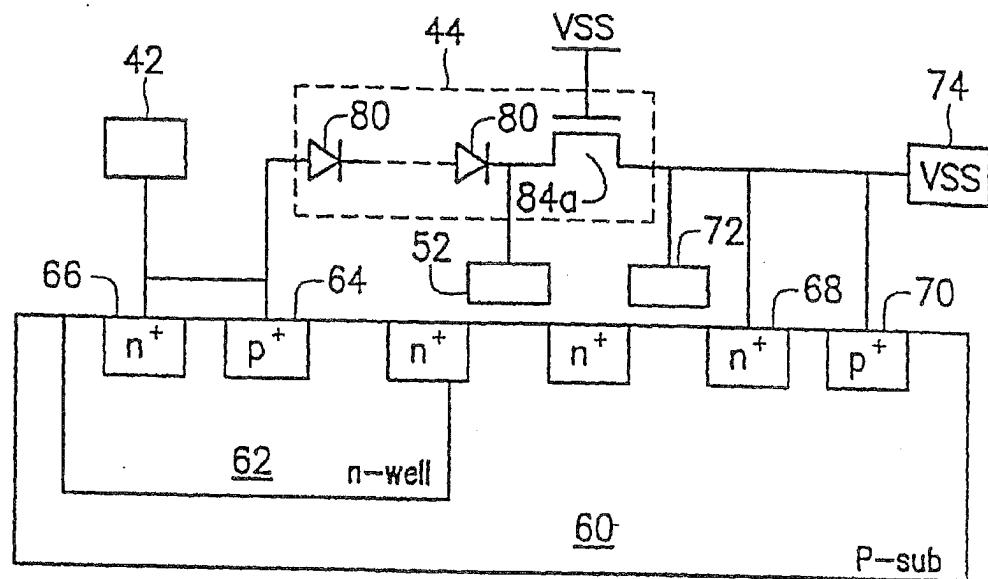
第 8b 图



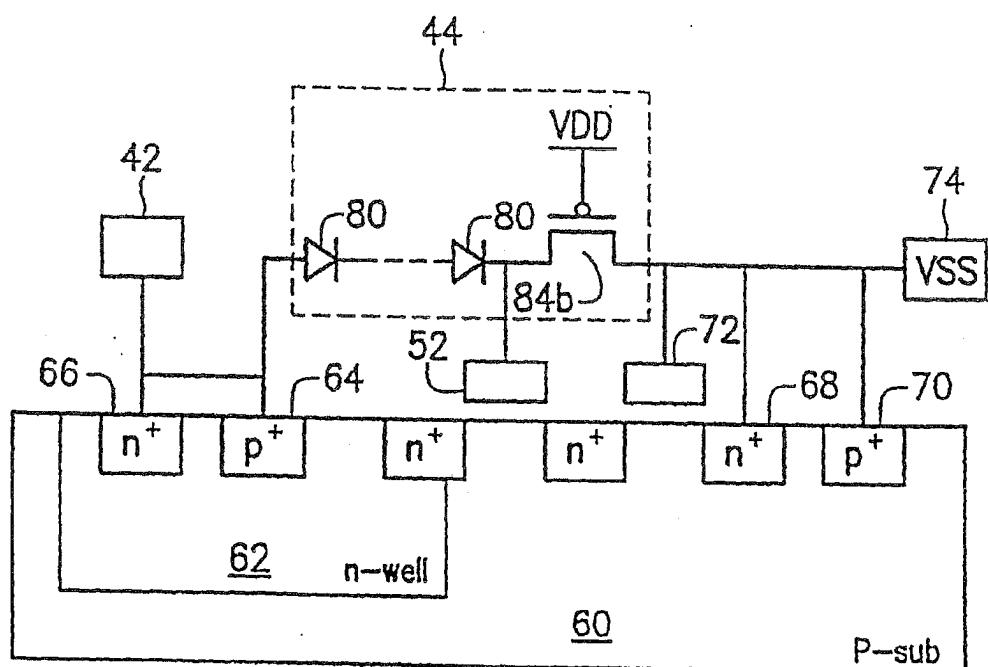
第 8c 图



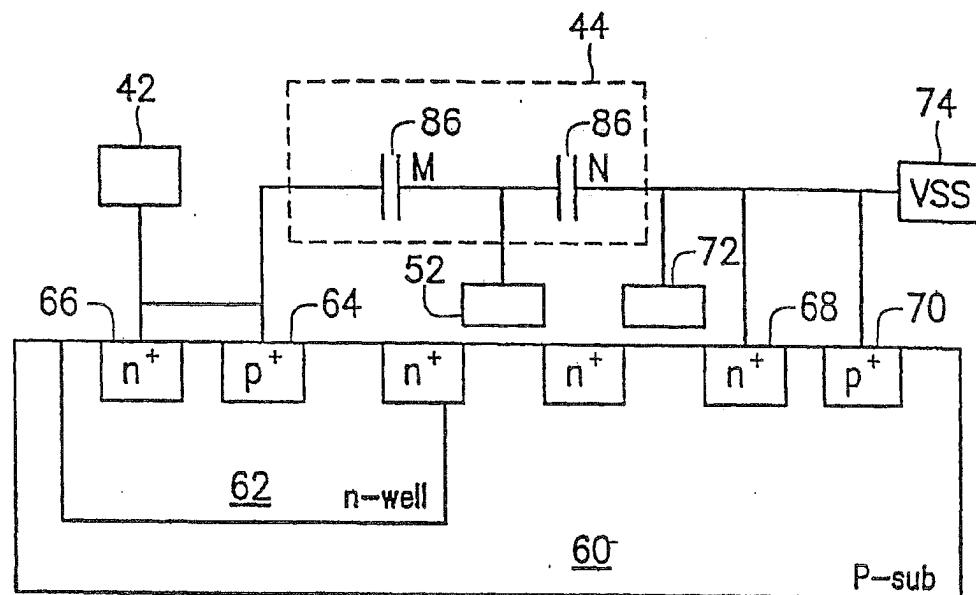
第 8d 图



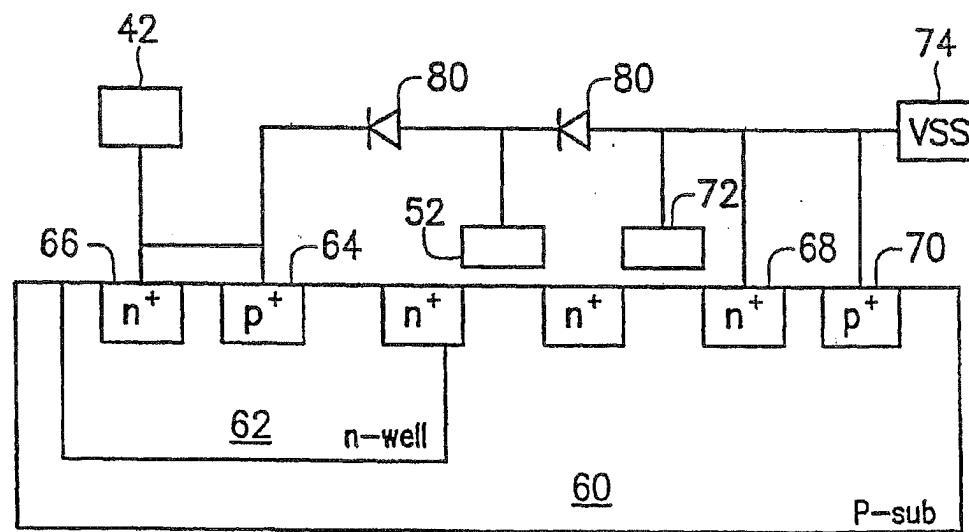
第 8e 图



第 8f 图



第 8g 图



第 8h 图